

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-008969

(43)Date of publication of application : 12.01.1999

(51)Int.Cl.

H02M 3/07

G06F 1/26

(21)Application number : 09-156582

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

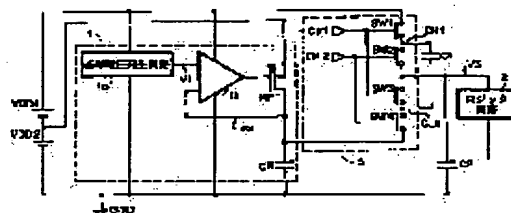
(22)Date of filing : 13.06.1997

(72)Inventor : YAMAUCHI TOMOYUKI

(54) POWER SUPPLY CIRCUIT**(57)Abstract:**

PROBLEM TO BE SOLVED: To suppress the loss of power consumption by supplying a harbor circuit with a first power supply voltage and a second power supply voltage subjected to step-down voltage, thereby generating a higher voltage.

SOLUTION: When clock signals CK1, CK2 are inputted at high and low levels, respectively, switches SW1, SW3 are conducted while switches SW2, SW4 are non-conducting to connect capacitors C1, C2 in series between a first power supply voltage VDD1 and a ground voltage GND. When the signal CK1 is low and the signal CK2 is high, the switches SW1, SW3 are non-conducting, while switches SW2 and SW4 are conducted to ground the capacitor C2. The capacitor C1 has a voltage V2 obtained by stepping down a second power supply voltage VDD2 through a regulator circuit 1, and the capacitors C1, C2 are connected each other on the other side. Connection of the capacitors is repeated in a time sequence and a voltage $(VDD1+V2)/2$ is generated at the output V3 of a harbor circuit 3 and supplied to a logic circuit 2.

**LEGAL STATUS**

[Date of request for examination] 13.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3012558

[Date of registration] 10.12.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

【特許請求の範囲】

【請求項 1】 電源電圧を降圧して得られた電圧を半導体装置の各ロジック回路へ供給する電源回路において、第 1 の電源電圧と前記第 1 の電源電圧に第 2 電源電圧を直列に接続した電源電圧をレギュレータ回路にて任意の電圧に降圧した降圧電圧と、

第 1 のクロック信号と第 2 のクロック信号とを入力とするハバ回路とを有して構成され、前記ハバ回路は前記第 1 のクロック信号に応じて前記第 1 の電源電圧と接地電圧の間に設けられた複数のコンデンサを直列接続させる第 1 のスイッチ回路群と、

前記複数のコンデンサのうちある特定のコンデンサの一端を前記レギュレータ回路の出力である前記降圧電圧に残りのコンデンサの一端を前記接地電圧に接続し、前記複数のコンデンサの他端を前記ハバ回路の出力電圧に対しそれぞれ並列接続させる第 2 のスイッチ回路群とを有し、

前記複数のコンデンサが前記第 1 のクロック信号と前記第 2 のクロック信号により直列または並列接続を繰り返すことにより所定の電圧を発生させることを特徴とする電源回路。

【請求項 2】 請求項 1 に記載の電源回路において、スイッチ回路群は MOS トランジスタから構成され、前記第 1 の電源電圧と前記第 2 電源電圧とは電池電源であることを電源回路。

【請求項 3】 請求項 1 又は 2 に記載の電源回路において、前記所定の電圧は、 $\{(第 1 電源電圧 + レギュレータ回路出力電圧) / 2\}$ であることを特徴とする電源回路。

【請求項 4】 電源電圧を降圧して得られた電圧を半導体装置の各ロジック回路へ供給する電源回路において、前記電源電圧と基準電圧間に前記電源電圧より低電位の電圧を出力するレギュレータ回路と、

前記電源電圧と前記レギュレータ回路の出力間にクロック信号に応じてオン／オフを繰り返して少なくとも縦列した 4 つのスイッチ手段のうち 1 列毎に前記縦列スイッチ手段を交互にオン／オフして負荷出力とするハバ回路と、

前記クロック信号のハイ・ローに応じて前記負荷出力に並列に接続された第 1 のコンデンサと並列接続と直列出力とに交互に接続される第 2 のコンデンサと、を備えたことを特徴とする電源回路。

【請求項 5】 請求項 4 に記載の電源回路において、前記レギュレータ回路は、前記電源電圧の分圧電圧を電源とすることを特徴とする電源回路。

【請求項 6】 請求項 4 又は 5 に記載の電源回路において、前記所定の電圧は、 $\{(電源電圧 + レギュレータ回路出力電圧) / 2\}$ であることを特徴とする電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、消費電力を低減する電源回路に関し、特にマイクロコンピュータ等のロジック回路に供給される消費電力を低減する電源回路に関する。

【0002】

【従来の技術】電源電圧を降圧して、半導体集積回路のロジック回路等の他の回路へ降圧した電圧を供給する内部降圧回路に関し、複数の容量及びスイッチにて構成される電源電圧の分割手段によって電源電圧を分圧し、この分圧された電圧を駆動用トランジスタに供給することにより、その駆動用トランジスタにおける消費電力を低減する回路がある。その一例が、特開昭 63-121467 号公報に「内部降圧回路」として示されている。本例によれば、図 9 に示すように、電源電圧 V_{dd1} と接地電圧の間に配される 2 つの電圧分割用容量 $C1$ 、 $C2$ と、電圧保持用容量 $C3$ と、これら電圧分割用容量 $C1$ 、 $C2$ 及び電圧保持用容量 $C3$ の接続関係を変換するための 5 つのスイッチ $S1 \sim S5$ とを有し、さらに差動アンプ及び駆動用トランジスタ $M5$ によってパルソ回路構成とされた回路部分を主たる構成要素としている。しかしながら、駆動用トランジスタへの消費電力化は駆動用トランジスタへの電源電圧を低減してなされ、十分な低消費化は困難である。

【0003】また従来、ロジック回路の電圧は電源電圧がそのまま供給されていたため、ある特定周波数にて動作するロジック回路においては、そのロジック回路の最低動作電圧に対し過剰な電圧となってしまう、消費電流が必要以上に多くなってしまう場合があった。そのため、レギュレータ回路を用い電源電圧をロジック回路の最低動作電圧に対し動作マージンを含んだ最適な電圧に降圧してロジック回路へ供給させることで、消費電力の低減をおこなっていた。また、ハバ回路を用い電源電圧を $1/2$ に降圧してロジック回路へ供給させることで、レギュレータ回路を用いた場合より、さらに消費電力の低減をおこなっていた。

【0004】まず、レギュレータ回路を用いた電源回路について簡単に説明する。図 7 に示すように、電源電圧 V_{DD1} にて駆動する基準電圧発生回路 11a は、ある特定周波数にて動作するロジック回路 21 の最低動作電圧に動作マージンを加えた電圧 $V11$ を発生するように予め設定する。この電圧 $V11$ を基準電圧として、電源電圧 V_{DD1} にて駆動するコンパレータ回路 11b の片側入力に接続する。このコンパレータ 11b の出力は駆動用トランジスタ $MP11$ のゲートに接続され、駆動用トランジスタ $MP11$ のソースは電源電圧 V_{DD1} から供給する。また、この駆動用トランジスタ $MP11$ のドレインは、コンパレータ回路 11b へ負帰還としてももう片側入力に接続され、さらに、ロジック回路 21 へ電源として供給する。このとき、ロジック回路 21 へ供給される電圧 $V12$ は、基準電圧発生回路 11a にて予め設

定されている電圧 V_{11} と同等の電圧が発生されることとなる。これにより、ロジック回路21にはレギュレータ回路11より電源電圧 V_{DD1} から降圧された電圧 V_{12} が供給され、この最適化された電圧によりロジック回路21の消費電力を低減していた。

【0005】次に、ハーバ回路を用いた電源回路について簡単に説明する。図8に示すように、接地電圧 GND はスイッチ SW_{14} に、電源電圧 V_{DD1} はスイッチ SW_{11} にそれぞれ接続しており、この電源電圧 V_{DD1} と接地電圧 GND との間にスイッチ $SW_{11} \sim SW_{14}$ を直列接続することにより構成している。さらに、クロック信号 CK_{11} と CK_{12} を入力として、クロック信号 CK_{11} がスイッチ SW_{11} とスイッチ SW_{13} のゲートコントロールに、また、クロック信号 CK_{12} がスイッチ SW_{12} とスイッチ SW_{14} のゲートコントロールに接続される。それぞれのスイッチ $SW_{11} \sim SW_{14}$ は、ゲート電圧が H レベルの時に導通状態に、 L レベルの時に非導通状態となる素子から形成されている。さらに、スイッチ SW_{11} とスイッチ SW_{12} との接続点 CH_{11} とスイッチ SW_{13} とスイッチ SW_{14} との接続点 CL_{11} にはコンデンサ C_{11} を接続し、スイッチ SW_{12} とスイッチ SW_{13} との接続点 V_{13} と接地電圧 GND にはコンデンサ C_{12} を接続する。これらコンデンサ C_{11} と C_{12} がクロック信号 CK_{11} と CK_{12} に対応して直並列接続されることによりハーバ回路3の出力 V_{13} には電源電圧 V_{DD1} を $1/2$ とした電圧が発生される。

【0006】

【発明が解決しようとする課題】しかしながら、ここでの第1の問題点は、従来のレギュレータ回路を用いた電源回路では、出力電圧を電源電圧から接地電圧までの範囲に渡って任意に発生させることができるが、このレギュレータ回路の出力段にある駆動用トランジスタにて消費電力の損失が発生していた。

【0007】すなわち、駆動用トランジスタに流れる電流は、ロジック回路に流れ込む消費電流と同等であるため、その電流に駆動用トランジスタに生じているソース・ドレイン間の電圧を乗じた消費電力が損失となっている。

【0008】また、第2の問題点は、従来のハーバ回路を用いた電源回路では、第1の問題点である駆動用トランジスタに発生する消費電力の損失を低減することができるが、ハーバ回路から発生する電圧を電源電圧 $/2$ 以上に設定させることができない。しかし、ハーバ回路に接続されるコンデンサの数を増やすことで電源電圧 $/2$ 以上の電圧を発生させることはできるが、マイクロコンピュータ等消費電力が多いロジック回路においては、コンデンサの容量値の問題により LSI に内蔵させることが困難であるため、ディスクリートの外付けコンデンサが必要となり LSI の端子数を増やしてしまう結果とな

っていた。

【0009】すなわち、ハーバ回路は複数のコンデンサをある特定クロックにて直並列接続させることにより電圧を発生させているので、コンデンサの数に対応した電圧しか発生することができない。つまり、直並列されるコンデンサが2つだと、このハーバ回路から発生できる電圧は電源電圧 $/2$ となる。

【0010】

【課題を解決するための手段】本発明の電源回路は、上記問題点を解決するためになされたもので、電源電圧を降圧しその電圧をロジック回路へ供給する電源回路において、第1電源電圧と第2電源電圧をレギュレータ回路にて降圧した電圧とをハーバ回路に供給させることで、ハーバ回路より第1電源電圧 $/2$ 以上の電圧を発生させることが可能となる。

【0011】また、本発明の電源回路は、電源電圧を降圧して得られた電圧を半導体装置の各ロジック回路へ供給する電源回路において、第1の電源電圧と前記第1の電源電圧に第2電源電圧を直列に接続した電源電圧をレギュレータ回路にて任意の電圧に降圧した降圧電圧と、第1のクロック信号と第2のクロック信号とを入力とするハーバ回路とを有して構成され、前記ハーバ回路は前記第1のクロック信号に応じて前記第1の電源電圧と接地電圧の間に設けられた複数のコンデンサを直列接続させる第1のスイッチ回路群と、前記複数のコンデンサのうちある特定のコンデンサの一端を前記レギュレータ回路の出力である前記降圧電圧に残りのコンデンサの一端を前記接地電圧に接続し、前記複数のコンデンサの他端を前記ハーバ回路の出力電圧に対しそれぞれ並列接続させる第2のスイッチ回路群とを有し、前記複数のコンデンサが前記第1のクロック信号と前記第2のクロック信号により直列または並列接続を繰り返すことにより所定の電圧を発生させることを特徴とする。

【0012】また、本発明の電源回路は、電源電圧を降圧して得られた電圧を半導体装置の各ロジック回路へ供給する電源回路において、前記電源電圧と基準電圧間に前記電源電圧より低電位の電圧を出力するレギュレータ回路と、前記電源電圧と前記レギュレータ回路の出力間にクロック信号に応じてオン/オフを繰り返して少なくとも縦列した4つのスイッチ手段のうち1列毎に前記縦列スイッチ手段を交互にオン/オフして負荷出力とするハーバ回路と、前記クロック信号のハイ・ローに応じて前記負荷出力に並列に接続された第1のコンデンサと並列接続と直列出力とに交互に接続される第2のコンデンサと、を備えたことを特徴とする。

【0013】より具体的には、第1電源電圧と第2電源電圧をレギュレータ回路にて降圧した電圧とを複数のコンデンサを直並列させるスイッチ群から構成されるハーバ回路へ供給する。また、このハーバ回路は入力されるクロック信号によって動作され、特にコンデンサが接地

電位に対し並列状態にある時に、これらコンデンサのうちある特定のコンデンサに対して接地電位ではなく、第2電源電圧をレギュレータ回路にて降圧した電位に接続させることで電圧を持ち上げ、その結果ハバ回路より(第1電源電圧+レギュレータ出力電圧)/2なる電圧を発生させることが可能となる。

【0014】[作用] 例えば、具体的な数値で説明すれば、1.5Vの電池を2個直列接続し3.0V電圧にてマイクロコンピュータを駆動させるアプリケーション・システムにおいて、このマイクロコンピュータのある特定周波数における最低動作電圧が2.0Vであるとする、第1電源とする3.0V電圧と第2電源とする1.5V電圧をレギュレータ回路にてさらに降圧した1.0V電圧とを供給源とするハバ回路により、発生される電圧(3.0V+1.0V)/2をマイクロコンピュータの電源とすることができる。

【0015】

【発明の実施の形態】

【第1の実施形態】 図1は、本発明の第1の実施形態の電源回路のブロック図である。図1において、第1電源電圧VDD1と第2電源電圧VDD2と、レギュレータ回路1と、ハバ回路3と、本電源回路の負荷であるロジック回路2とから構成される。

【0016】第2電源電圧VDD2はレギュレータ回路1により降圧された電圧V2がハバ回路3のスイッチSW4に、また、第1電源電圧VDD1はスイッチSW1にそれぞれ接続する。このレギュレータ回路1は、基準電圧発生回路1aより発生された電圧V1をコンパレータ回路1bが受け、駆動用トランジスタMP1のゲートをコントロールし、第2電源電圧VDD2を降圧した電圧V2を出力する。また、ハバ回路3は、第1電源電圧VDD1から、第2電源電圧VDD2をレギュレータ回路1にて降圧した電圧V2の間を、スイッチSW1～SW4を直列接続することにより構成している。

【0017】さらに、クロック信号CK1とCK2を入力として、クロック信号CK1がスイッチSW1とスイッチSW3のゲートコントロールに、また、クロック信号CK2がスイッチSW2とスイッチSW4のゲートコントロールに接続する。それぞれのスイッチSW1～SW4は、クロック信号を供給するゲート電圧がHiレベルの時に導通状態に、Lowレベルの時に非導通状態となる素子から形成されている。さらに、スイッチSW1とスイッチSW2との接続点CH1とスイッチSW3とスイッチSW4との接続点CL1にはコンデンサC1を接続し、スイッチSW2とスイッチSW3との接続点V3と接地電圧GNDにはコンデンサC2を接続する。さらに、ハバ回路3の出力V3は、負荷としてのロジック回路2へ電源として供給している。先のコンデンサC1とコンデンサC2がクロック信号CK1とCK2の状態に対応して直並列接続されることにより、ハバ回路

の出力V3には(VDD1+V2)/2の電圧が発生される。

【0018】次に、図2のタイミングチャート図を参照して説明する。図2に示すように、クロック信号CK1とCK2が交互にハイ・ローを繰り返して入力されるとスイッチSW1～SW4が動作を始める。まず、クロック信号CK1がHiレベルで、クロック信号CK2がLowレベルの時には、スイッチSW1とスイッチSW3が導通状態、スイッチSW2とスイッチSW4が非導通状態となり、コンデンサC1とコンデンサC2は第1電源電圧VDD1と接地電圧GND間に直列接続となる

(図3のAの状態)。また、クロック信号CK1がLowレベルで、クロック信号CK2がHiレベルの時には、スイッチSW1とスイッチSW3が非導通状態、スイッチSW2とスイッチSW4が導通状態となり、コンデンサC2は接地電圧GNDに対し接続、コンデンサC1は第2電源電圧VDD2をレギュレータ回路1にて降圧した電圧V2に対し接続となり、さらに、それぞれのコンデンサC2とコンデンサC1のもう片側は、お互いに接続される(図3のBの状態)。このコンデンサの接続状態をクロック信号CK1とCK2に対し時系列的に繰り返すことにより、ハバ回路の出力V3には(VDD1+V2)/2の電圧が発生され、これを電源としてロジック回路2に供給する。

【0019】[第2の実施形態] 図4は、本発明の第2の実施形態の電源回路のブロック図である。図4において、具体的な数字として3Vという低電圧の電源電圧VDDと、レギュレータ回路1と、ハバ回路3と、本電源回路の負荷であるロジック回路2とから構成される。レギュレータ回路1は、電源電圧VDDと基準電圧の接地間に接続されて更に低電圧V1を出力する基準電圧発生回路1aと、基準電圧発生回路1aより発生された電圧V1を非反転入力端子に、反転入力端子にFETのドレインから負帰還回路として受けるコンパレータ回路1bと、コンパレータ回路1bの出力をゲートで受け電源電圧VDDをソースに接続された駆動用トランジスタのp型MOS(MP1)と、p型MOSのMP1のドレインと接地間に接続された抵抗R1とから構成される。

【0020】また、ハバ回路3は、電源電圧VDDとレギュレータ回路1の駆動用トランジスタMP1のドレインとの間にp型MOSQ1～Q3とn型MOSQ4とを縦続接続し、入力にクロック信号を供給される直列接続のインバータIN1、IN2とから構成され、インバータIN1とIN2との接続点とp型MOSQ2のゲートを接続し、インバータIN2の出力をp型MOSQ1、Q3とn型MOSQ4のゲートに接続している。また、p型MOSQ1とQ2の接続点CH1とMOSQ3とQ4との接続点CL1間にコンデンサC1を接続し、p型MOSQ1とQ2の接続点と接地間にコンデンサC2と負荷としてのロジック回路2とが並列に接続さ

れている。

【0021】次に、本実施形態の動作について説明する。レギュレータ回路1は基準電圧発生回路1aにより電源電圧VDDより小さい一定電圧を出力し、負帰還回路の出力MOSTランジスタMP1のドレインにはV2として、例えば0.4Vを出力する。抵抗R1はコンデンサであってもよく、一定負荷を有するものである。次に、クロック信号を図5に示すようにハイ・ローを繰り返し供給される。図5の①の期間に、インバータIN2の出力はローで有るので、MOSQ2とQ4がオフして、MOSQ1とQ3がオンしており、出力V3は図6の①に示すようにコンデンサC2の電圧となる。また、図5の②の期間に、インバータIN2の出力はハイで有るので、MOSQ2とQ4がオンして、MOSQ1とQ3がオフしており、出力V3は図6の②に示すようにコンデンサC2の電圧及びレギュレータ回路1の出力にコンデンサC1の電圧を加算した電圧になる。従って、図6の①の状態から図6の②の状態に変化し、電圧V3は平均化される。

【0022】図6に示すように、このコンデンサC1、C2の接続状態をクロック信号CKによって時系列的に繰り返すことにより、ハバ回路の出力V3には $(VDD + V2) / 2$ の電圧が発生され、この出力V3を電源としてロジック回路2に供給する。ロジック回路2の負荷抵抗を $85k\Omega$ とすると、ロジック回路2には $IDD = 20\mu A$ が流れる。

【0023】こうして、低電圧電源で動作するマイクロコンピュータやロジック回路等のデジタル回路及びアナログ回路用として、従来のMOSTランジスタの消費電力を低減し、且つレギュレータ回路の定電圧を可変することで、電源電圧以下の任意の電源電圧を得ることができる。

【0024】また、ロジック回路の最低動作電圧が $VDD / 2$ 以上あったとしても、ハバ回路の出力電圧を $VDD / 2$ 以上の電圧に微調整することが可能であるので、本発明の電源回路によりロジック回路を効果的に動作させることができる。これにより、ハバ回路の特徴である電池電圧から見た電流がロジック電流の半分となる効果を得ることが可能となる。

【0025】ここで、従来のレギュレータ回路のみの電源回路では、電池電源から見た電流 $= 20\mu A +$ レギュレータ回路電流であるとする。

【0026】本実施形態の電源回路では、ハバ回路の接地電圧を例えば0.4V（レギュレータ回路出力）にすることで、その出力電圧は1.7Vが発生される。この方式を用いた電源回路は、電池電源から見た電流 $= 10\mu A (= 20\mu A / 2) +$ レギュレータ回路電流 $+ 10\mu A$ （ハバ回路電流（約 $0\mu A$ ））となり、ロジック回路の最低動作電圧が電池電圧VDDの半分以上の特性であっても、電源電圧VDDの電源電

流は約 $1/2$ の値に軽減でき、十分ハバ回路の効果を得ることができる。

【0027】上記実施形態では、具体的な値を用いて説明したが、本発明の効果はこれに限らず、技術的思想を踏襲することで、幅広い応用が可能である。

【0028】

【発明の効果】本発明によれば、第1電源電圧と第2電源電圧をレギュレータ回路にて降圧した電圧とをハバ回路に供給することで、第1電源電圧 $/ 2$ より高い電圧、すなわち、 $(第1電源電圧 + レギュレータ出力電圧) / 2$ なる電圧がハバ回路の出力より発生することが可能となるという効果を奏し得る。すなわち、ハバ回路の動作において、特にコンデンサが接地電位に対し並列状態にあるとき、ある特定のコンデンサについてのみ接地電位ではなく、第2電源電圧をレギュレータ回路にて降圧した電圧に接続させることで、ハバ回路の出力には第1電源電圧 $/ 2$ にレギュレータ出力電圧 $/ 2$ を加えた電圧が発生されるからである。

【0029】また、ハバ回路にて発生された $(第1電源電圧 + レギュレータ出力電圧) / 2$ なる電圧をロジック回路の電源として供給することにより、この消費電力を低減することが可能となる。すなわち、第1電源電圧と第2電源電圧をレギュレータ回路にて降圧した電圧とを供給源としたハバ回路により、特に第2電源電圧からレギュレータ回路にて降圧した電圧を発生させることで消費電力の損失を抑えることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態の電源回路の構成図である。

【図2】図1に示した一実施形態のタイミング図である。

【図3】図1に示した一実施形態のコンデンサ接続状態図である。

【図4】本発明の一実施形態の電源回路の構成図である。

【図5】図1に示した一実施形態のタイミング図である。

【図6】図1に示した一実施形態のコンデンサ接続状態図である。

【図7】従来の電源回路のレギュレータ回路の構成図である。

【図8】従来の電源回路のハバ回路の構成図である。

【符号の説明】

1, 11 レギュレータ回路

2, 21 ロジック回路

3, 31 ハバ回路

1a, 11a 基準電圧発生回路

1b, 11b コンパレータ回路

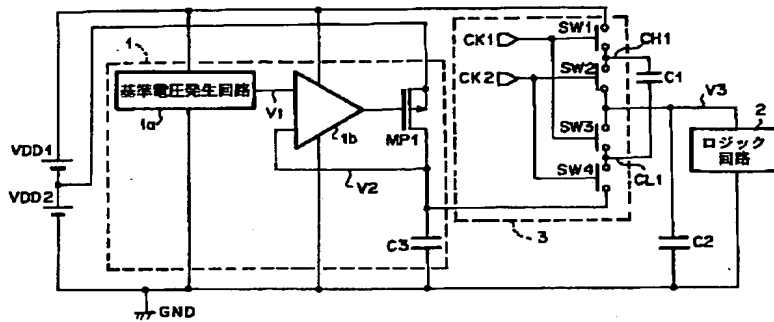
C1, C2, C3, C12, C13 コンデンサ

MP1, MP11 駆動用トランジスタ

SW1~SW4, SW11~SW14 スイッチ
 CK1, CK2, CK11, CK12 クロック信号
 V1, V11 基準電圧

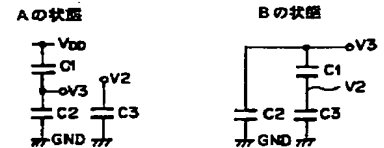
V2, V12 レギュレータ回路の出力電圧
 V3, V13 ハーバ回路の出力電圧

【図1】

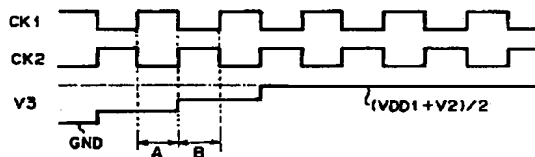


【図3】

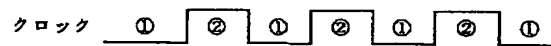
コンデンサC1, C2, C3の接続状態



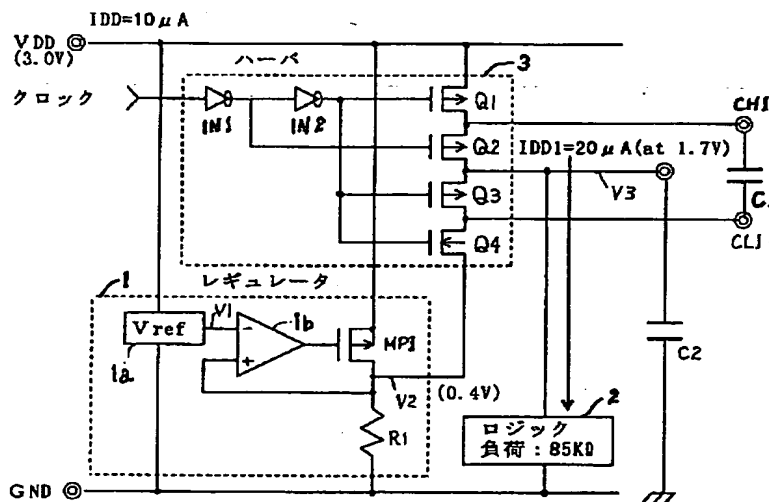
【図2】



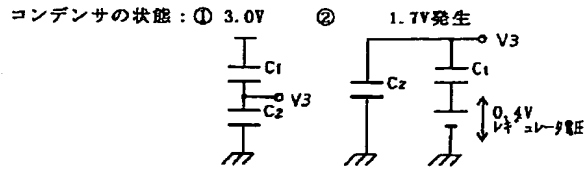
【図5】



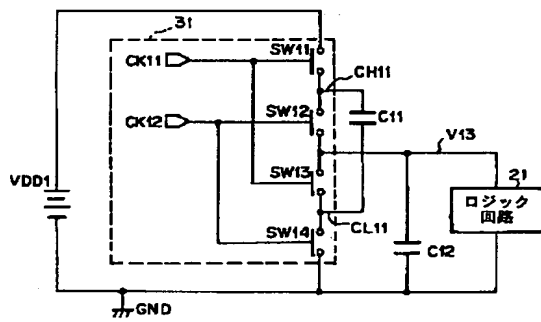
【図4】



【図 6】



【図 8】



【図 7】

